



UASLP
Universidad Autónoma
de San Luis Potosí



**FACULTAD DE
INGENIERÍA**
Área de Ciencias
de la Computación

2980 – DISEÑO DIGITAL

Clave de la materia: 2980
Clave Facultad: 2980
Clave U.A.S.L.P.: ----
Nivel del Plan de Estudios: I.C.: 4; I.I.: 3
Horas/Clase/Semana: 4
Horas/Práctica (y/o Laboratorio): 2
Prácticas complementarias: 0
Trabajo extra-clase Horas/Semana: 4
Carrera/Tipo de materia: I.I., I.C./Obligatoria
No. de créditos aprobados: ----
Fecha última de Revisión Curricular: 28-noviembre-2019
Materia y clave de la materia requisito: Fundamentos de Diseño Digital-2977

OBJETIVO DEL CURSO

Resolver problemas de computación mediante la aplicación e identificación de técnicas para el análisis y diseño de circuitos combinatoriales y secuenciales así

como aplicaciones con base en circuitos de pequeña y mediana escala de integración aplicando los principios de ciencias básicas e ingeniería.

CONTENIDO TEMÁTICO

1. SIMPLIFICACIÓN DE FUNCIONES BOOLEANAS

Tiempo Estimado: 5 hrs.

Objetivo: Ser capaz de simplificar funciones booleanas usando mapas de Karnaugh de 4, 5 y 6 variables a través de conceptos básicos de lógica combinatorial y secuencial.

- 1.1. Características de circuitos combinatoriales y secuenciales
- 1.2. Mapas de Karnaugh para 4, 5 y 6 variables

2. LÓGICA COMBINACIONAL CON SSI

Tiempo Estimado: 14 hrs.

Objetivo: Analizar y diseñar circuitos combinatoriales por medio de las técnicas que utilizan circuitos de baja integración.

- 2.1. Procedimiento de diseño
- 2.2. Sumador completo
- 2.3. Restador completo
- 2.4. Comparador
- 2.5. Corrimientos (multiplicación y división)
- 2.6. Conversión entre códigos
- 2.7. Procedimiento de análisis

3. Lógica combinatorial con MSI

Tiempo estimado: 15 hrs.

Objetivo: Implementar circuitos combinatoriales a través de la comprensión del funcionamiento y distribución interna de circuitos integrados comerciales de mediana escala de integración (MSI Medium Scale Integration).

- 3.1. Sumadores (básico, sumador-restador, lookahead, carry select)
- 3.2. Decodificadores y Codificadores
- 3.3. Multiplexores
- 3.4. Demultiplexores
- 3.5. Análisis de tiempo de circuitos combinatoriales

4. Lógica secuencial con SSI

Tiempo estimado: 16 hrs.

Objetivo: Diseñar circuitos secuenciales y contadores binarios con los elementos básicos de los circuitos lógicos secuenciales y tipos elementales de almacenamiento de información.

- 4.1. Definición de señal de reloj usando periodo, frecuencia y ciclo de trabajo
- 4.2. Flip-Flops (SR, JK, D, T)
- 4.3. Análisis y diseño de circuitos secuenciales
- 4.4. Procedimiento y diseño de contadores con SSI
- 4.5. Retardo de propagación, tiempo de configuración y tiempo espera

5. Circuitos secuenciales con MSI

Tiempo estimado: 14 hrs.

Objetivo: Diseñar registros, contadores y unidades de memoria; por medio de circuitos secuenciales integrados MSI comerciales y llevar a cabo su análisis de tiempo.

- 5.1. Registros de desplazamiento
- 5.2. Registros paralelos

- 5.3. Contadores de rizo
- 5.4. Contadores síncronos
- 5.5. Análisis de tiempo de circuitos
secuenciales (diagramas de tiempo)
- 5.6. Unidades de memoria estáticas (SRAM,

- ROM, EEPROM
- 5.7. Características de memorias dinámicas

METODOLOGÍA

Explicación del profesor utilizando el proyector y el pizarrón para el desarrollo de ejemplos y resolución de ejercicios de clase.

Se utilizarán plataformas didácticas para publicación de material visto en clase y para la entrega de las

actividades de esta unidad.

Se utilizará el método de aula invertida en todos los temas de esta unidad, esperando que el alumno tenga el compromiso de leer acerca del tema antes de las clases.

EVALUACIÓN

Se realizarán cuatro exámenes parciales de forma colegiada en las fechas establecidas por la Facultad, de acuerdo al Reglamento de Exámenes. La calificación de los exámenes parciales estará compuesta por la evaluación del examen parcial y por otras actividades, como: tareas, investigaciones, resolución de problemas,

ejercicios, etc. La calificación del examen ordinario es el promedio de los cuatro parciales.

Para acreditar la materia es necesario haber aprobado el laboratorio.

BIBLIOGRAFÍA

Bibliografía Básica

- M. Morris Mano, Michael D. Ciletti. Diseño Digital. Pearson. 5ª. Edición. 2013
- Floyd Thomas L. Fundamentos de Sistemas Digitales. Pearson, 2016.
- Ronald J. Tocci, Neal Swider, Gregory L. Moss. Sistemas Digitales, Principios y Aplicaciones. Pearson. 11ª. Edición. 2018

Bibliografía Complementaria

- M. Morris Mano, Charles M. Kime, Tom Martin. Logic and Computer Design Fundamentals. Pearson. 5th Edition. 2015
- M. Morris Mano, Charles R. Kime. Fundamentos de diseño lógico y de computadoras. Pearson-Prentice Hall. 3ª Edición. 2005.
- ABEL-HDL Reference Manual Lattice Semiconductor Corporation Version 8.0
- ABEL-HDL Design Manual Lattice Semiconductor Corporation Version 8.0
- Fundamentos de lógica digital con diseño VHDL Stephen Brown, Zvonko Vranesic Mc Graw Hill, 2ª. Edición